

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 63313251
 PUBLICATION DATE : 21-12-88

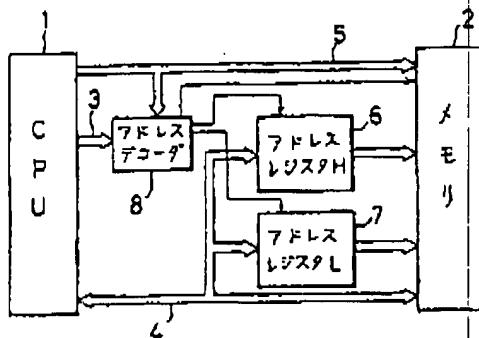
APPLICATION DATE : 16-06-87
 APPLICATION NUMBER : 62148003

APPLICANT : MITSUBISHI ELECTRIC CORP;

INVENTOR : YOSHIDA KOICHI;

INT.CL. : G06F 12/06 G06F 13/16

TITLE : ADDRESSING CIRCUIT



ABSTRACT : PURPOSE: To expand an address space to be accessed by writing data on a data bus in an address register connected to the data bus and using the data as an address of a device to be accessed.

CONSTITUTION: In case of accessing a memory 2 from a CPU1, a memory address to be accessed is written in address registers H6, L7 set up by an address decoder 8 as data from the data bus 4 prior to the memory access. When the CPU1 outputs an active signal from the decoder 8 to the memory 2, the data stored in the registers H6, L7 are transferred to the memory 2 as the address data of the memory 2 and data are transmitted/received between the memory 2 and the CPU1 in accordance with a signal from a control bus 5.

COPYRIGHT: (C)1988,JPO&Japio

BEST AVAILABLE COPY

⑪ 公開特許公報 (A)

昭63-313251

⑫ Int.Cl.¹G 06 F 12/06
13/16

識別記号

301

府内整理番号

E-8841-5B
Z-8841-5B

⑬ 公開 昭和63年(1988)12月21日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 アドレッシング回路

⑮ 特願 昭62-148003

⑯ 出願 昭62(1987)6月16日

⑰ 発明者 吉田 幸一 兵庫県神戸市兵庫区和田崎町1丁目1番2号 三菱電機株式会社制御製作所内

⑱ 出願人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代理人 弁理士 田澤 博昭 外2名

明細書

1. 発明の名称

アドレッシング回路

2. 特許請求の範囲

アドレスバスとデータバスとコントロールバスとを有する中央処理装置と、上記データバス上のデータを格納し、その格納したデータをアクセスされるべきデバイスキの新たなアドレスバスとするための複数のアドレスレジスタと、上記中央処理装置から出力される上記コントロールバスの信号とアドレスバスの信号とにより上記アドレスレジスタに書き込むためのアドレスを設定するアドレスデコーダとを備えたアドレッシング回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、マイクロコンピュータ（以下、マイコンという）システムにおいて、本来中央処理装置（以下、CPUという）が有するメモリアドレス空間より実質的に大きな容量のメモリなどのデバイスのアクセスが可能となるようにしたアド

レッシング回路に関するものである。

〔従来の技術〕

第2図はたとえばCQ出版株式会社発行「トランジスタ技術」1985年5月号392ページに示された従来のアドレッシング回路のシステムブロック図であり、この第2図において、1はCPU、2はCPU1がアクセスするメモリであって、CPU1とメモリ2で構成されたマイコンシステムを構成している。

CPU1とメモリ2間には、アドレスバス3、データバス4、コントロールバス5が接続されている。アドレスバス3は、CPU1がメモリ2内のいずれの番地にデータを格納するかを示すためのアドレスバスである。

また、データバス4はCPU1とメモリ2間とのデータの授受を行うためのデータバスであり、コントロールバス5はCPU1が読み出し動作か、書き込み動作を行なうか、あるいは入力／出力（以下、I／Oという）空間をアクセスするか、メモリ空間をアクセスするかなどを指示する。

次に、動作について説明する。CPU1のアドレスバス3が仮に16ビットで構成されている場合はCPU1は最大「0000」番地から「FFFx」番地の合計 2^{16} 、すなわち「65536」とおりのアドレスを選択することができる。

換言すれば、「65536」番地分の容量のメモリをCPU1はアクセスできる。これは、通常CPU1は「64Kワードのアドレス空間を有する」と称するアドレスバス3が20ビットならCPU1は 2^{20} 、すなわち1Mワードのアドレス空間を有し、「00000x」番地から「FFFFFx」番地のアドレスをアクセスすることができる。

たとえば、CPU1がメモリ2内の「23456x」番地からデータを読み出しする場合は、アドレスバス20ビットは「23456x」を指示するとともに、コントロールバス5内のメモリ読み出し信号をアクティブにすると、メモリ2に接続されているデータバス4を介してメモリ「23456x」番地のデータがCPU1に入力される。

レジスタに書き込むためのアドレスをアドレスデコーダで設定するようにしたものである。

〔作用〕

この発明におけるアドレスデコーダはアドレスレジスタに書き込むためのアドレスを中央処理装置から出力されるコントロールバスの信号とアドレスバスの信号とによりアドレスレジスタに設定し、その設定されたアドレスにデータバス上のデータをアドレスレジスタに書き込み、その書き込んだデータをアクセスすべきデバイスメモリなどのデバイスのアドレスとする。

〔実施例〕

以下、この発明の一実施例を図について説明する。第1図において、第2図と同一部分には同一符号を付して述べる。CPU1がアクセスするデバイスとして、ここではメモリ2を使用した場合で説明を進めることにする。このメモリ2は1Mワードのメモリとする。このCPU1とメモリ2間にはデータバス4、コントロールバス5が接続されている。また、CPU1はアドレスバス3を

〔発明が解決しようとする問題点〕

従来のアドレッシング回路は以上のように構成されているので、CPU1から出力されるアドレスバス3が直接メモリ2などのCPU1周辺デバイスをアクセスできる最大の容量は、アドレスバス3のビット数で制限され、nビットのアドレスバスを有するCPUは、 2^n ワードのアドレス空間に限定され、 2^n ワード分の容量しかアクセスできないなどの問題点があった。

この発明は、上記のような問題点を解消するためになされたもので、CPU本来のアドレスバスのビット数nによって制限される最大の容量 2^n ワードよりも大きな容量のメモリなどのデバイスをアクセスできるアドレッシング回路を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係るアドレッシング回路は、データバス上に設けられたアドレスレジスタにデータバス上のデータを書き込んで、このデータをアクセスすべきデバイスのアドレスとし、このアドレス

介してアドレスデコーダ8に接続されており、アドレスデコーダ8にはCPU1からコントロールバス5を通して転送される信号も入力されるようになっている。

このアドレスバス3およびデータバス4は16ビットとし、このデータバス4を介してCPU1はメモリ2とデータの授受を行うようになっている。データバス4上に4ビットのアドレスレジスタH6と16ビットのアドレスレジスタL7が設けられている。アドレスレジスタH6とアドレスレジスタL7の出力はメモリ2のアドレスバスとなるように構成されている。

また、上記コントロールバス5はCPU1が読み出し動作か書き込み動作を行なうかあるいはI/O空間をアクセスするか、メモリ空間をアクセスするなどを指示するようになっている。

さらに、上記アドレスデコーダ8はCPU1から出力されるコントロールバス5の信号とアドレスバス3の信号とでCPU1がアドレスレジスタH6、アドレスレジスタL7にデータを書き込む

タイミングをそれぞれポートアドレス1、ポートアドレス2という1/0アドレス空間のアドレスを介してアドレスレジスタに指令するようにしている。さらに、メモリ2をアクセスするタイミングもポートアドレス3というアドレスを介して指令するようにしている。

次に、動作について説明する。CPU1のアドレスバス3は16ビットであるため、本来このCPU1のアドレス空間は 2^{16} の64Kワードであり「0000H」番地から「FFFFH」番地のアドレスしか有さない。

しかし、このCPU1で1Mワード、すなわち、 2^{20} ワードのメモリをアクセス、つまり「000000H」番地から「FFFFFH」番地までのアドレス空間をアクセスするためには、20ビットのアドレスバスが必要となるが、この発明では、アクセスするメモリ2のアドレスはすべてデータバス4よりデータとして与える。

CPU1がメモリ2をアクセスする場合は、メモリアクセスに先だってアクセスするメモリアド

レスをデータバス4よりデータとしてアドレスデコーダ8で設定されたポートアドレス1とポートアドレス2を通してそれぞれアドレスレジスタH6、アドレスレジスタH7に書き込む。

メモリアドレスは20ビット必要であり、CPU1のデータバス4は16ビットであり、20ビット中の上位4ビットはアドレスレジスタH6に書き込み、下位16ビットはアドレスレジスタH7に書き込むようにして、2度に分けて書き込む。

その後、CPU1はポートアドレス3というアドレスを介してアドレスデコーダ8よりメモリ2に対してアクティプ信号を出力すると、アドレスレジスタH6、アドレスレジスタH7に書き込んだデータがメモリ2のアドレスデータとしてメモリ2に転送され、そのアドレスにデータが書き込まれたり、あるいはメモリ2よりデータバス4を通してCPU1に読み出されたり、コントロールバス5の信号にしたがってメモリ2とCPU1間にデータの授受が行われる。

つまり、ポートアドレス1ないしポートアドレ

ス3のうちのポートアドレス3のみをアクセスするのみで、1Mワード分のメモリをアクセスできる。たとえばメモリアドレス「23456H」番地のデータを読み出す場合について説明する。ただしポートアドレス1ないしポートアドレス3をそれぞれ1番地、2番地、3番地とすると、まずCPU1よりポートアドレス1番地に“2H”を書き込む。

次にポートアドレス2番地に“3456H”を書き込み、ポートアドレス3番地より読み込み動作を行なうと、メモリ2のアドレス「23456H」番地のデータがデータバス4を介してCPU1へ入力される。

なお、上記実施例では、アドレスバス20ビット分のアドレス空間を16ビットのデータバスを有するCPUでアクセスするために、4ビットのアドレスレジスタH6と16ビットのアドレスレジスタH7に分離したが、この分離するビット数は8ビットと12ビットなど任意でよい。

また、もっと大きなアドレス空間、たとえばア

ドレス40ビット分のアドレス空間を必要とする場合はそれぞれ8ビット、16ビット、16ビットのアドレスレジスタ三つあればよく、アドレスレジスタを一つ増加することより容易に実現できる。

さらに、アドレスレジスタに書き込むためのアドレスはポートアドレスとしたがメモリアドレスとしてもよい。

(発明の効果)

以上のようにこの発明によれば、アクセスされるべきデバイスのアドレスをデータバスよりデータとしてアドレスレジスタに書き込み、そのアドレスレジスタに書き込んだデータそのものがアドレスとなるように構成したので、CPUからアドレスレジスタをアクセスするためのポートアドレスあるいはメモリアドレスと実際にメモリなどのデバイスとデータの授受を行なうためのポートアドレスあるいはメモリアドレスの2種類のアドレスをアクセスするのみで、CPU本来の有するアドレス空間より実質的には大きな容量のメモリな

どのデバイスのアクセスが可能となると同時に本来CPUが有するメモリアドレス空間あるいはI/Oアドレス空間とは別の全く異種のアドレス空間を任意の数追加することができる効果がある。

4. 図面の簡単な説明

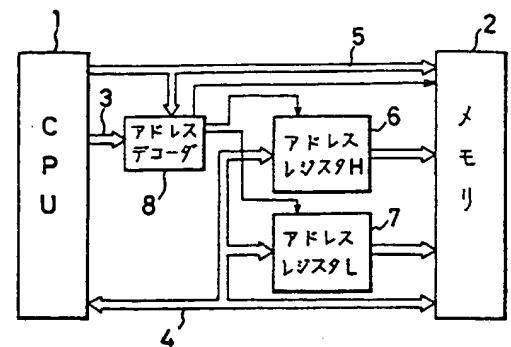
第1図はこの発明の一実施例によるアドレッシング回路のシステムブロック図、第2図は従来のアドレッシング回路のシステムブロック図である。

1はCPU、2はメモリ、3はアドレスバス、4はデータバス、5はコントロールバス、6はアドレスレジスタH、7はアドレスレジスタL、8はアドレスデコーダ。

なお、図中、同一符号は同一又は相当部分を示す。

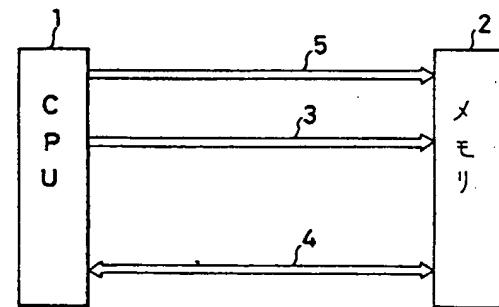
特許出願人 三菱電機株式会社
代理人 弁理士 田澤博昭
(外2名)

第1図



3:アドレスバス 4:データバス 5:コントロールバス

第2図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.